

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 05326546
PUBLICATION DATE : 10-12-93

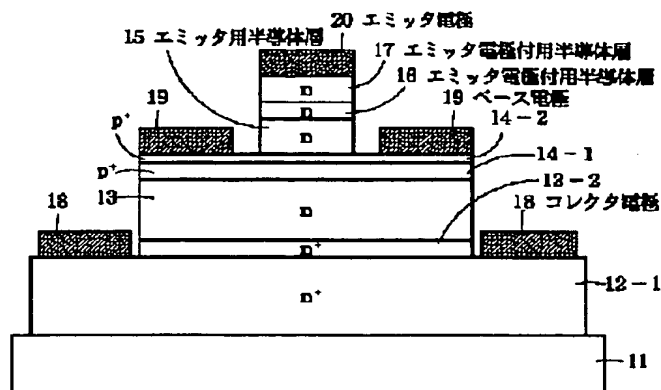
APPLICATION DATE : 18-05-92
APPLICATION NUMBER : 04148904

APPLICANT : NIPPON TELEGR & TELEPH CORP
<NTT>;

INVENTOR : FUKANO HIDEKI;

INT.CL. : H01L 21/331 H01L 29/73 H01L 29/205

TITLE : HETERO JUNCTION TRANSISTOR



ABSTRACT : PURPOSE: To improve the rise of IC-VCE characteristics of a transistor, by using GaInAs compound and GaInPAs or AlGaInAs compound for a P-type first base layer and a second base layer, respectively.

CONSTITUTION: On an InP semiconductor substrate 11, the following are laminated in order; a semiconductor layer 13 for a collector composed of N-type $\text{GaUIn}_{1-u}\text{P}_v\text{As}_{1-v}$ ($0 \leq u, v \leq 1$), a semiconductor layer 14-1 for a first base composed of P-type $\text{Ga}_x\text{In}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0 \leq x, y \leq 1$), a semiconductor layer 14-2 for a second base composed of P-type $\text{Ga}_k\text{In}_{1-k}\text{P}_l\text{As}_{1-l}$ ($0 \leq k, l \leq 1$) or $\text{Al}_m\text{Ga}_n\text{In}_{1-m-n}\text{As}$ ($0 \leq m, n \leq 1$), and a semiconductor layer 15 for an emitter 15 composed of N-type $\text{Ga}_w\text{In}_{1-w}\text{P}_z\text{As}_{1-z}$ ($0 \leq w, z \leq 1$) whose energy band gap is larger than the semiconductor layer 14-2. The withstand voltage is enhanced 2-3 times as compared with a homo junction transistor. The rise of IC-VCE characteristics is improved. The current gain scarcely decrease in a region of high current density.

COPYRIGHT: (C)1993,JPO&Japio

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-326546

(43) 公開日 平成5年(1993)12月10日

(51) Int.Cl.⁵

H 0 1 L 21/331
29/73
29/205

識別記号

庁内整理番号

F I

技術表示箇所

7377-4M

H 0 1 L 29/72

審査請求 未請求 請求項の数5(全 8 頁)

(21) 出願番号 特願平4-148904

(22) 出願日 平成4年(1992)5月18日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 深野 秀樹

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

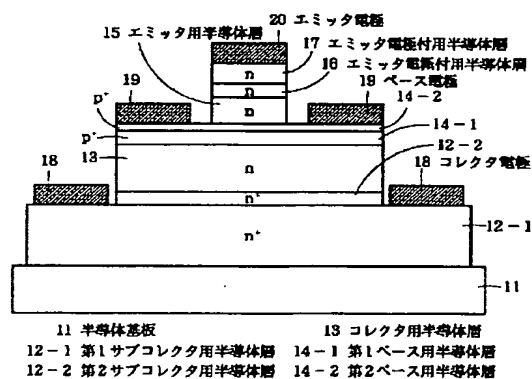
(74) 代理人 弁理士 小林 将高

(54) 【発明の名称】 ヘテロ接合トランジスタ

(57) 【要約】

【目的】 トランジスタの耐圧を向上させるためにコレクタにワイドギャップの半導体を用いるにあたって、界面に4元の半導体の組成変化層やスペーサ層を用いないヘテロ接合トランジスタを提供する。

【構成】 半導体基板11上に、n型でGa_{0.53}In_{0.47}P、As_{1-x}のコレクタ用半導体層13と、p型でGa_{0.53}In_{0.47}As、Sb_{1-y}の第1ベース用半導体層14-1と、p⁺型でIn_{0.53}Ga_{0.47}Asの第2ベース用半導体層14-2と、n型で、かつ第2ベース用半導体層14-2に比べ広いエネルギーバンドギャップを有するGa_{0.53}In_{0.47}P、As_{1-x}のエミッタ用半導体層15とが積層されていることを特徴としている。



【特許請求の範囲】

【請求項1】 半導体基板上に、n型で $Ga_{1-u}In_uP_vAs_{1-v}$ （ただし、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ ）のコレクタ用半導体層と、p型で $Ga_xIn_{1-x}As_ySb_{1-y}$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）の第1ベース用半導体層と、p型で $Ga_kIn_{1-k}P_lAs_{1-l}$ （ただし、 $0 \leq k \leq 1$ 、 $0 \leq l \leq 1$ ）または $Al_mGa_nIn_{1-m-n}As$ （ただし、 $0 \leq m \leq 1$ 、 $0 \leq n \leq 1$ ）の第2ベース用半導体層と、n型で、かつ前記第2ベース用半導体層に比べ広いエネルギーバンドギャップを有する $Ga_wIn_{1-w}P_zAs_{1-z}$ （ただし、 $0 \leq w \leq 1$ 、 $0 \leq z \leq 1$ ）のエミッタ用半導体層とが積層されていることを特徴とするヘテロ接合トランジスタ。

【請求項2】 半導体基板上に、n型で $Al_uGa_vIn_{1-u-v}As$ （ただし、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ ）のコレクタ用半導体層と、p型で $Ga_xIn_{1-x}As_ySb_{1-y}$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）の第1ベース用半導体層と、p型で $Ga_kIn_{1-k}P_lAs_{1-l}$ （ただし、 $0 \leq k \leq 1$ 、 $0 \leq l \leq 1$ ）または $Al_mGa_nIn_{1-m-n}As$ （ただし、 $0 \leq m \leq 1$ 、 $0 \leq n \leq 1$ ）の第2ベース用半導体層と、n型で、かつ前記第2ベース用半導体層に比べ広いエネルギーバンドギャップを有する $Ga_wIn_{1-w}P_zAs_{1-z}$ （ただし、 $0 \leq w \leq 1$ 、 $0 \leq z \leq 1$ ）のエミッタ用半導体層とが積層されていることを特徴とするヘテロ接合トランジスタ。

【請求項3】 半導体基板上に、n型で $Al_uGa_vIn_{1-u-v}As$ （ただし、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ ）のコレクタ用半導体層と、p型で $Ga_xIn_{1-x}As_ySb_{1-y}$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）の第1ベース用半導体層と、p型で $Ga_kIn_{1-k}P_lAs_{1-l}$ （ただし、 $0 \leq k \leq 1$ 、 $0 \leq l \leq 1$ ）または $Al_mGa_nIn_{1-m-n}As$ （ただし、 $0 \leq m \leq 1$ 、 $0 \leq n \leq 1$ ）の第2ベース用半導体層と、n型で、かつ前記第2ベース用半導体層に比べ広いエネルギーバンドギャップを有する $Al_wGa_zIn_{1-w-z}As$ （ただし、 $0 \leq w \leq 1$ 、 $0 \leq z \leq 1$ ）のエミッタ用半導体層とが積層されていることを特徴とするヘテロ接合トランジスタ。

【請求項4】 半導体基板上に、n型で $Ga_uIn_vP_wAs_{1-u-v-w}$ （ただし、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ ）のコレクタ用半導体層と、p型で $Ga_xIn_{1-x}As_ySb_{1-y}$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）の第1ベース用半導体層と、p型で $Ga_kIn_{1-k}P_lAs_{1-l}$ （ただし、 $0 \leq k \leq 1$ 、 $0 \leq l \leq 1$ ）または $Al_mGa_nIn_{1-m-n}As$ （ただし、 $0 \leq m \leq 1$ 、 $0 \leq n \leq 1$ ）の第2ベース用半導体層と、n型で、かつ前記第2ベース用半導体層に比べ広いエネルギーバンドギャップを有する $Al_wGa_zIn_{1-w-z}As$ （ただし、 $0 \leq w \leq 1$ 、 $0 \leq z \leq 1$ ）のエミッタ用半導体層とが積層されていることを特徴とするヘテロ接合トランジスタ。

【請求項5】 半導体基板がInPからなり、この半導

体基板上に順次形成されるコレクタ用半導体層、第1ベース用半導体層、第2ベース用半導体層およびエミッタ用半導体層が前記InPからなる半導体基板と格子整合するに十分な組成比に選定されていることを特徴とする請求項1乃至4のいずれかに記載のヘテロ接合トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、トランジスタの高耐圧化が可能であり、また、超高速動作の可能なヘテロ接合トランジスタに関するものである。

【0002】

【従来の技術】 $Ga_{1-u}In_uP_vAs_{1-v}$ および $Al_vGa_{1-v}In_{1-v}As$ 系材料は、電子の輸送特性が優れている。この材料系の中でも最も特性の優れた $GaInAs$ をベースおよびコレクタに使用したヘテロ接合トランジスタが主に研究されている。

【0003】 しかし、この材料はバンドギャップ (E_g) が小さいためトランジスタの耐圧が1~2Vと非常に小さく、この点を改良するためにコレクタとしてバンドギャップ (E_g) のより大きな $AlGaInAs$ や InP を用いるダブルヘテロ構造が検討されている。

【0004】

【発明が解決しようとする課題】 しかし、これらの材料を $GaInAs$ コレクタに入れ換えただけでは、コレクタとして入りに電子の障壁となるヘテロ接合バンド不連続 ΔE_c が生じ、トランジスタの利得が激減するため、 $AlGaInAs$ 等の組成変化層を導入して改善を図っている。

【0005】 この場合のエネルギーバンド図を図9に示す。この図で、Eは $AlGaInAs$ のエミッタ用半導体層、Bは $InGaAs$ のベース用半導体層、Cは $AlGaInAs$ のコレクタ用半導体層、Wは $AlGaInAs$ の組成変化層である。また、 E_{ec} 、 E_{eb} 、 E_{bc} は各層のエネルギーバンドギャップを示す。

【0006】 このように、組成変化層Wを形成すると、ベース用半導体層Bと組成変化層Wとの間に障壁が発生しないようになり、エミッタ用半導体層Eから注入された電子が走行中にエネルギーが低下してもコレクタ用半導体層Cに入ることができる。

【0007】 しかし、この組成変化層Wは格子の整合をとりながら徐々に組成を変化させる必要があるため、結晶成長が極めて難しい。この他に、図10のように $GaInPAs$ のスペーサ層Yを用いて電子に対する障壁の低減を図っている場合もある。なお、図10でE'は InP のエミッタ用半導体層、C'は InP のコレクタ用半導体層であり、Bは図9と同じ組成のベース用半導体層である。

【0008】 この場合、電流利得およびトランジスタ耐圧がスペーサ層厚および不純物濃度にかなり敏感であ

3

り、成長において極めて高い制御性が要求されるという欠点がある。また、これらのトランジスタは、高電流密度領域での動作において、利得の低下や、電流利得遮断周波数 (f_T) の急激な劣化がみられる。

【0009】本発明の目的は、トランジスタの耐圧を向上させるためにコレクタにワイドギャップの半導体を用いるにあたって、従来は界面に $AlGaInAs$ 等の半導体の組成変化層やスペーサ層を導入しなければならなかった点を解決したヘテロ接合トランジスタを提供することにある。

【0010】

【課題を解決するための手段】本発明にかかるヘテロ接合トランジスタは、半導体基板上に、 n 型で $Ga_{1-u}In_uP_vAs_{1-v}$ (ただし、 $0 \leq u \leq 1$, $0 \leq v \leq 1$) のコレクタ用半導体層と、 p 型で $Ga_xIn_{1-x}As_ySb_{1-y}$ (ただし、 $0 \leq x \leq 1$, $0 \leq y \leq 1$) の第1ベース用半導体層と、 p 型で $Ga_kIn_{1-k}P_lAs_{1-l}$ (ただし、 $0 \leq k \leq 1$, $0 \leq l \leq 1$) または $Al_mGa_{1-m}In_{1-n}As_n$ (ただし、 $0 \leq m \leq 1$, $0 \leq n \leq 1$) の第2ベース用半導体層と、 n 型で、かつ第2ベース用半導体層に比べ広いエネルギーバンドギャップを有する $Ga_wIn_{1-w}P_zAs_{1-z}$ (ただし、 $0 \leq w \leq 1$, $0 \leq z \leq 1$) のエミッタ用半導体層とが積層されているものである。

【0011】また、半導体基板上に、 n 型で $Al_uGa_vIn_{1-u-v}As$ (ただし、 $0 \leq u \leq 1$, $0 \leq v \leq 1$) のコレクタ用半導体層と、 p 型で $Ga_xIn_{1-x}As_ySb_{1-y}$ (ただし、 $0 \leq x \leq 1$, $0 \leq y \leq 1$) の第1ベース用半導体層と、 p 型で $Ga_kIn_{1-k}P_lAs_{1-l}$ (ただし、 $0 \leq k \leq 1$, $0 \leq l \leq 1$) または $Al_mGa_{1-m}In_{1-n}As_n$ (ただし、 $0 \leq m \leq 1$, $0 \leq n \leq 1$) の第2ベース用半導体層と、 n 型で、かつ第2ベース用半導体層に比べ広いエネルギーバンドギャップを有する $Ga_wIn_{1-w}P_zAs_{1-z}$ (ただし、 $0 \leq w \leq 1$, $0 \leq z \leq 1$) のエミッタ用半導体層とが積層されているものである。

【0012】さらに、半導体基板上に、 n 型で $Al_uGa_vIn_{1-u-v}As$ (ただし、 $0 \leq u \leq 1$, $0 \leq v \leq 1$) のコレクタ用半導体層と、 p 型で $Ga_xIn_{1-x}As_ySb_{1-y}$ (ただし、 $0 \leq x \leq 1$, $0 \leq y \leq 1$) の第1ベース用半導体層と、 p 型で $Ga_kIn_{1-k}P_lAs_{1-l}$ (ただし、 $0 \leq k \leq 1$, $0 \leq l \leq 1$) または $Al_mGa_{1-m}In_{1-n}As_n$ (ただし、 $0 \leq m \leq 1$, $0 \leq n \leq 1$) の第2ベース用半導体層と、 n 型で、かつ第2ベース用半導体層に比べ広いエネルギーバンドギャップを有する $Al_wGa_{1-w}In_{1-z}P_zAs_{1-z}$ (ただし、 $0 \leq w \leq 1$, $0 \leq z \leq 1$) のエミッタ用半導体層とが積層されているものである。

【0013】また、半導体基板上に、 n 型で $Ga_uIn_vP_wAs_{1-u-v-w}$ (ただし、 $0 \leq u \leq 1$, $0 \leq v \leq 1$, $0 \leq w \leq 1$) のコレクタ用半導体層と、 p 型で $Ga_xIn_{1-x}As_ySb_{1-y}$ (ただし、 $0 \leq x \leq 1$, $0 \leq y \leq 1$) の第1ベース用半導体層と、 p 型で $Ga_kIn_{1-k}P_lAs_{1-l}$ (ただし、 $0 \leq k \leq 1$, $0 \leq l \leq 1$) または $Al_mGa_{1-m}In_{1-n}As_n$ (ただし、 $0 \leq m \leq 1$, $0 \leq n \leq 1$) の第2ベース用半導体層と、 n 型で、かつ第2ベース用半導体層に比べ広いエネルギーバンドギャップを有する $Al_wGa_{1-w}In_{1-z}P_zAs_{1-z}$ (ただし、 $0 \leq w \leq 1$, $0 \leq z \leq 1$) のエミッタ用半導体層とが積層されているものである。

10

のコレクタ用半導体層と、 p 型の $Ga_xIn_{1-x}As_ySb_{1-y}$ (ただし、 $0 \leq x \leq 1$, $0 \leq y \leq 1$) の第1ベース用半導体層と、 p 型で $Ga_kIn_{1-k}P_lAs_{1-l}$ (ただし、 $0 \leq k \leq 1$, $0 \leq l \leq 1$) または $Al_mGa_{1-m}In_{1-n}As_n$ (ただし、 $0 \leq m \leq 1$, $0 \leq n \leq 1$) の第2ベース用半導体層と、 n 型で、かつ第2ベース用半導体層に比べ広いエネルギーバンドギャップを有する $Al_wGa_{1-w}In_{1-z}P_zAs_{1-z}$ (ただし、 $0 \leq w \leq 1$, $0 \leq z \leq 1$) のエミッタ用半導体層とが積層されているものである。

【0014】さらに、半導体基板が InP からなり、この上に形成されるコレクタ用半導体層、ベース用半導体層およびエミッタ用半導体層が InP の半導体基板と格子整合がとれた組成にしたものである。

【0015】

【作用】本発明によるヘテロ接合トランジスタは、第1ベース用半導体層に $Ga_xIn_{1-x}As_ySb_{1-y}$ を用い、第2ベース用半導体層として、 $Ga_kIn_{1-k}P_lAs_{1-l}$ または $Al_mGa_{1-m}In_{1-n}As_n$ を設けたことを最も主要な特徴とする。

【0016】 $GaInPAs/GaInAsSb$ および $AlGaInAs/GaInAsSb$ ヘテロ接合では、組成を適当に選ぶことにより伝導帯のエネルギー不連続 (ΔE_c) が後述する図2に示すようなスタガード型 (エネルギーギャップ E_g が千鳥状になっているもの) や、 ΔE_c がほとんどゼロにできるため、コレクタとして用いる $GaInAsP$ もしくは $AlGaInAs$ と第1ベース用半導体層の $GaInAsSb$ 層との界面に電子の通過を妨げる障壁が発生しない。

【0017】また、第1ベース用半導体層として $GaInAsSb$ を用いることにより、コレクタ層の材料組成に合わせて ΔE_c を設計することが可能となり、素子の高速性能を大きく向上させることができる。

【0018】また、第2ベース用半導体層として、 $Ga_kIn_{1-k}P_lAs_{1-l}$ または $Al_mGa_{1-m}In_{1-n}As_n$ を用いることにより伝導帯のエネルギー不連続がエミッタ・ベース間に生じ、後述する図2に示す ΔE_c に相当する高いエネルギーがベースに注入される電子に対して、運動エネルギーとして付与され、電子はベース中を高速に走行することができる。

【0019】さらに、半導体基板を InP としたので、その上に形成する各層の格子整合が容易となる。

【0020】

【実施例】

【実施例1】図1に本発明によるヘテロ接合トランジスタの第1の実施例を示す。 InP の半絶縁性の半導体基板11上に、 n^+ 型で $In_{0.53}Ga_{0.47}As$ の第1サブコレクタ用半導体層12-1が、半導体基板11の上面を一部外部に露出させるように積層して形成されている。

【0021】また、第1サブコレクタ用半導体層12-

1上に、 n^+ 型でInPの第2サブコレクタ12-2と、 n 型でInPのコレクタ用半導体層13と、 p^+ 型で $Ga_{1-x}In_{1-x}As$, Sb_{1-y} (1例として、 $x=1$, $y=0.5$)の第1ベース用半導体層14-1と、 p^+ 型で $In_{0.53}Ga_{0.47}As$ の第2ベース用半導体層14-2の薄層とが順次、第2ベース用半導体層14-2の上面を一部外部に臨ませるように積層して形成されている。

【0022】さらに、第2ベース用半導体層14-2上に、 n 型でInPのエミッタ用半導体層15と、 n 型でInPおよび $In_{0.53}Ga_{0.47}As$ の2つのエミッタ電極付用半導体層16および17とが順次、第2ベース用半導体層14-2の上面を一部外部に臨ませるように積層して形成されている。また、第1サブコレクタ用半導体層12-1に、その上面の外部に臨んでいる領域において、コレクタ電極18がオーミックに付されている。

【0023】さらに、第2ベース用半導体層14-2に、その上面の外部に臨んでいる領域において、ベース電極19がオーミックに付されている。また、エミッタ電極付用半導体層17に、その上面において、エミッタ電極20がオーミックに付されている。

【0024】上記の実施例1におけるエミッタ、ベース、コレクタ各部のエネルギーバンド構造は図2のようになっている。コレクタ用半導体層13に第1ベース用半導体層14-1よりエネルギーギャップ(E_g)の大きなInPを用いているにもかかわらず、図2のようにベース・コレクタ界面には電子に対する障壁が発生しないためエネルギーギャップ(E_g)の大きなInPコレクタによりトランジスタの耐圧は、例えばベース/コレクタがGaInAs/GaInAsのホモ接合のトランジスタの場合の1.5V程度に比べ2~3倍以上向上しながら、トランジスタの $I_c - V_{ce}$ 特性の立上りもよく、高電流密度領域になっても殆ど電流利得の減少はなく、また、電流利得遮断周波数(f_T)の急激な低下も $10^5 A/cm^2$ 程度の電流密度領域ではみられなかった。

【0025】このように高電流密度領域においても電流利得および電流利得遮断周波数(f_T)が低下しないのは、図2のようなヘテロ不連続のため電子がコレクタへ入る時に ΔE_c に相当するエネルギーを得るため電子速度が急上昇し、コレクタでの空間電荷効果が抑制されるためであり、この構造により素子の高速動作性能が著しく向上したためである。

【0026】また、エミッタ用半導体層15と第1ベース用半導体層14-1との間に、 p^+ 型でInGaAsの第2ベース用半導体層14-2の薄層を設けていることにより、図2のようなヘテロ不連続がエミッタ・ベース界面に生じ、ベースへ注入される電子は ΔE_c に相当する高いエネルギーを有するようになるため、ベース内の走行時間が短くなり、素子の高速動作性能のさらな

る向上が図れている。

【0027】また、第1ベース用半導体層14-1の $Ga_{1-x}In_{1-x}As$, Sb_{1-y} において組成 x , y を変化させ、エミッタ端ではエネルギーギャップ(E_g)が大きくコレクタ端に向かって徐々に小さくなるようにすることにより第1ベース用半導体層14-1内部で電子を加速する電界を形成することも可能であり、これにより高速性能をさらに向上させることもできる。

【0028】この実施例は、半導体基板11としてInPを用いた格子整合系であるが、半導体基板11としてGaAsやSi等の他の材料を用いたヘテロエピ構造や格子歪を内在する格子歪系でもよい。また、これらの層構造で受光用の窓を有するデバイス構造にすればベース層で光を受光でき、ヘテロ接合フォトリソトランジスタとしても動作させることができる。

【0029】なお、この実施例では、コレクタ用半導体層13とエミッタ用半導体層15はいずれもInPを用いているが、これらはGaInPAsであってもよい。一般式でかけば、コレクタ用半導体層13は、 $Ga_u In_{1-u} P_v As_{1-v}$ (ただし、 $0 \leq u \leq 1$, $0 \leq v \leq 1$)、エミッタ用半導体層15は $Ga_w In_{1-w} P_z As_{1-z}$ (ただし、 $0 \leq w \leq 1$, $0 \leq z \leq 1$)となる。また、第2ベース用半導体層14-2として p^+ 型で $In_{0.53}Ga_{0.47}As$ を用いているが、これは、 p 型で $Ga_k In_{1-k} P_l As_{1-l}$ (ただし、 $0 \leq k \leq 1$, $0 \leq l \leq 1$)または $Al_m Ga_n In_{1-m-n} As$ (ただし、 $0 \leq m \leq 1$, $0 \leq n \leq 1$)であってもよい。

【実施例2】図3に本発明によるヘテロ接合トランジスタの第2の実施例を示す。図1との対応部分には同一符号を付して詳細説明は省略する。22は n^+ 型で、 $Al_{0.48}In_{0.52}As$ の第2サブコレクタ用半導体層、23は n 型で、 $Al_{0.48}In_{0.52}As$ のコレクタ用半導体層、24-1は p^+ 型で、 $Ga_{0.5}Sb_{0.5}$ の第1ベース用半導体層、24-2は p^+ 型で、 $In_{0.53}Ga_{0.47}As$ の薄層の第2ベース用半導体層である。

【0030】上記実施例2におけるエミッタ、ベース、コレクタ各部のエネルギーバンド構造は図4のような形になっており、ベース・コレクタ界面には電子に対する障壁はほとんど発生しない。また、コレクタ用半導体層23の $Al_{0.48}In_{0.52}As$ はInPよりさらにエネルギーギャップ(E_g)が大きいため実施例1の場合よりさらに大きなトランジスタ耐圧が得られた。

【0031】また、 $I_c - V_{ce}$ 特性の立上り特性も良好であり、高電流密度領域でも電流利得の減少はない。また、電流利得遮断周波数(f_T)についても実施例1に比べると特性的にはわずかに劣るが同様の超高速動作が可能であった。また、エミッタ用半導体層15と第1ベース用半導体層24-1との間に、 p^+ 型でInGaAsの第2ベース用半導体層24-2の薄層を設けていることにより、図4のようなヘテロ不連続がエミッタ・ベ

ース界面に生じ、ベースへ注入される電子は $\Delta E_c^{(1)}$ に相当する高いエネルギーを有するようになるため、ベース内の走行時間が短くなり、素子の高速動作性能のさらなる向上が図れている。また、第1ベース用半導体層24-1を $Ga_{1-x}In_{1-x}As$, Sb_{1-y} にし、組成 x , y を変化させ、エミッタ端ではエネルギーギャップ(E_g)が大きくコレクタ端に向かって徐々に小さくなるようにすることにより第1ベース用半導体層24-1内部で電子を加速する電界を形成することも可能であり、これにより高速性能をさらに向上させることもできる。

【0032】この実施例は、半導体基板11としてInPを用いた格子整合系であるが、半導体基板11としてGaAsやSi等の他の材料を用いたヘテロエビ構造や、格子歪を内在する格子歪系でもよい。また、これらの層構造で受光用の窓を有するデバイス構造にすればベース層で光を受光でき、ヘテロ接合フォトトランジスタとしても動作させることができる。

【0033】なお、この実施例では、コレクタ用半導体層23に $Al_{0.48}In_{0.52}As$ を用いているが、一般には $Al_uGa_vIn_{1-u-v}As$ (ただし、 $0 \leq u \leq 1$, $0 \leq v \leq 1$)でよく、また、エミッタ用半導体層15はInPを用いたが、これも $Ga_wIn_{1-w}P_zAs_{1-z}$ (ただし、 $0 \leq w \leq 1$, $0 \leq z \leq 1$)であればよい。

また、第1ベース用半導体層24-1は $GaAs_{0.5}Sb_{0.5}$ を用いたが、これは、 $Ga_xIn_{1-x}As_ySb_{1-y}$ (ただし、 $0 \leq x \leq 1$, $0 \leq y \leq 1$)であればよい。また、第2ベース用半導体層24-2は $Ga_kIn_{1-k}P_lAs_{1-l}$ (ただし、 $0 \leq k \leq 1$, $0 \leq l \leq 1$)または $Al_mGa_nIn_{1-m-n}As$ (ただし、 $0 \leq m \leq 1$, $0 \leq n \leq 1$)であればよい。

【実施例3】図5に本発明によるヘテロ接合トランジスタの第3の実施例を示す。図1との対応部分には同一符号を付して詳細説明は省略する。32は n^+ 型で、 $Al_{0.48}In_{0.52}As$ の第1サブコレクタ用半導体層であり、33は n 型で、 $Al_{0.48}In_{0.52}As$ のコレクタ用半導体層、34-1は p^+ 型で、 $GaAs_{0.5}Sb_{0.5}$ の第1ベース用半導体層、34-2は p^+ 型で、 $In_{0.53}Ga_{0.47}As$ の薄層の第2ベース用半導体層、35は n 型で $Al_{0.48}In_{0.52}As$ のエミッタ用半導体層であり、36は n^+ 型で、 $Al_{0.48}In_{0.52}As$ のエミッタ電極付用半導体層である。

【0034】上記実施例3におけるエミッタ、ベース、コレクタ各部のエネルギーバンド構造は図6のような形になっており、ベース・コレクタ界面には電子に対する障壁はほとんど発生しない。また、 $Al_{0.48}In_{0.52}As$ はInPよりさらにエネルギーギャップ(E_g)が大きいため、実施例1の場合よりさらに大きなトランジスタ耐圧が得られた。

【0035】また、 I_c-V_{ce} 特性の立上り特性も良好であり、高電流密度領域でも電流利得の減少はない。ま

た、電流利得遮断周波数(f_T)についても実施例1に比べると特性的にはわずかに劣るが同様の超高速動作が可能であった。また、エミッタ用半導体層35と第1ベース用半導体層34-1との間に、 p^+ 型で $InGaAs$ の第2ベース用半導体層34-2の薄層を設けていることにより、図6のようなヘテロ不連続がエミッタ・ベース界面に生じ、ベースへ注入される電子は $\Delta E_c^{(1)}$ に相当する高いエネルギーを有するようになるため、ベース内の走行時間が短くなり、素子の高速動作性能のさらなる向上が図れている。また、第1ベース用半導体層34-1を $Ga_{1-x}In_{1-x}As_ySb_{1-y}$ にし、組成 x , y を変化させ、エミッタ端ではエネルギーギャップ(E_g)が大きくコレクタ端に向かって徐々に小さくなるようにすることにより第1ベース用半導体層34-1内部で電子を加速する電界を形成することも可能であり、これにより高速性能をさらに向上させることもできる。

【0036】この実施例は、半導体基板11としてInPを用いた格子整合系であるが、半導体基板11としてGaAsやSi等の他の材料を用いたヘテロエビ構造や格子歪を内在する格子歪系でもよい。また、これらの層構造で受光用の窓を有するデバイス構造にすればベース層で光を受光でき、ヘテロ接合フォトトランジスタとしても動作させることができる。

【0037】また、この実施例では、コレクタ用半導体層33に $Al_{0.48}In_{0.52}As$ を用いているが、一般には、 $Al_uGa_vIn_{1-u-v}As$ (ただし、 $0 \leq u \leq 1$, $0 \leq v \leq 1$)でよく、また、エミッタ用半導体層35に $Al_{0.48}In_{0.52}As$ を用いたが、これは $Al_uGa_vIn_{1-u-v}As$ (ただし、 $0 \leq w \leq 1$, $0 \leq z \leq 1$)であればよい。また、第1ベース用半導体層34-1として $GaAs_{0.5}Sb_{0.5}$ を用いたが、これは、 $Ga_xIn_{1-x}As_ySb_{1-y}$ (ただし、 $0 \leq x \leq 1$, $0 \leq y \leq 1$)であればよく、また、第2ベース用半導体層34-2として $In_{0.53}Ga_{0.47}As$ を用いたが、これは、 $Ga_kIn_{1-k}P_lAs_{1-l}$ (ただし、 $0 \leq k \leq 1$, $0 \leq l \leq 1$)または $Al_mGa_nIn_{1-m-n}As$ (ただし、 $0 \leq m \leq 1$, $0 \leq n \leq 1$)であればよい。

【実施例4】図7に本発明によるヘテロ接合トランジスタの第4の実施例を示す。図1との対応部分には同一符号を付して詳細説明は省略する。45は n^+ 型で、 $Al_{0.48}In_{0.52}As$ のエミッタ用半導体層であり、46は n^+ 型で、 $Al_{0.48}In_{0.52}As$ のエミッタ電極付用半導体層である。

【0038】上記実施例4におけるエミッタ、ベース、コレクタ各部のエネルギーバンド構造は図8のようになっている。コレクタ用半導体層13に第1ベース用半導体層14-1よりエネルギーギャップ(E_g)の大きなInPを用いているにもかかわらず、図8のようにベース・コレクタ界面には電子に対する障壁が発生しないため、エネルギーギャップ(E_g)の大きなInPコレク

9

タによりトランジスタの耐圧は、例えばベース／コレクタがGaInAs/GaInAsのホモ接合のトランジスタの場合の1.5V程度に比べ2〜3倍以上向上しながら、トランジスタの $I_c - V_{ce}$ 特性の立上りもよく、高電流密度領域になっても殆ど電流利得の減少はなく、また、電流利得遮断周波数(f_T)の急激な低下も 10^5 A/cm²程度の電流密度領域ではみられなかった。

【0039】このように、電流利得遮断周波数(f_T)が通常より高電流密度領域まで伸びるのは、図8のようなヘテロ不連続のため電子がコレクタへ入る時に ΔE_c に相当するエネルギーを得るため電子速度が急上昇するためであり、この構造により素子の高速動作性能も向上した。

【0040】また、エミッタ用半導体層45と第1ベース用半導体層14-1との間に、p⁺型でInGaAsの第2ベース用半導体層14-2の薄層を設けていることにより、図8のようなヘテロ不連続がエミッタ・ベース界面に生じ、ベースへ注入される電子は ΔE_c に相当する高いエネルギーを有するようになるため、ベース内の走行時間が短くなり、素子の高速動作性能のさらなる向上が図れている。

【0041】また、第1ベース用半導体層14-1のGa_xIn_{1-x}As_ySb_{1-y}において組成x, yを変化させ、エミッタ端ではエネルギーギャップ(E_g)が大きくコレクタ端に向かって徐々に小さくなるようにすることにより第1ベース用半導体層14-1内部で電子を加速する電界を形成することも可能であり、これにより高速性能をさらに向上させることもできる。

【0042】この実施例は、半導体基板11としてInPを用いた格子整合系であるが、半導体基板11としてGaAsやSi等の他の材料を用いたヘテロエピ構造や格子歪を内在する格子歪系でもよい。また、これらの層構造で受光用の窓を有するデバイス構造にすればベース層で光を受光でき、ヘテロ接合フォトトランジスタとしても動作させることができる。

【0043】また、この実施例では、コレクタ用半導体層13にInPを用いているが、一般には、Ga_uIn_{1-u}P_vAs_{1-v} (ただし、 $0 \leq u \leq 1$, $0 \leq v \leq 1$)でよく、また、エミッタ用半導体層45にAl_{0.48}In_{0.52}Asを用いているが、これも一般にはAl_wGa_zIn_{1-w-z}As (ただし、 $0 \leq w \leq 1$, $0 \leq z \leq 1$)であればよい。

【0044】

【発明の効果】以上説明したように、本発明に係るヘテロ接合トランジスタは、コレクタにベースよりエネルギーギャップの大きなGaInPAsやAlGaInAs半導体材料を用いるヘテロ接合トランジスタにおいて、p型の第1ベース用半導体層としてGa_xIn_{1-x}As_ySb_{1-y}、p型の第2ベース用半導体層としてGa_uIn_{1-u}P_vAs_{1-v}またはAl_wGa_zIn_{1-w-z}As

10

sを用いたことにより、ベース・コレクタ界面に電子の通過の妨げになる障壁が発生しないため、従来のような電子障壁を除去するための組成変化層やスペーサ層が不要になり、トランジスタの $I_c - V_{ce}$ 特性の立上がりも良好である。

【0045】また、エミッタ・ベース間には、伝導帯不連続(ΔE_c)が発生するため、電子は高いエネルギーでベースに注入され、高速に走行できるように設計できる。また、ベース・コレクタ接合部をスタガード型のヘテロ構造になるように層組成を設定することにより、コレクタ入口で、電子は ΔE_c に相当するエネルギーを得て電子速度が急増するため、高電流密度領域になっても、ほとんど電流利得の減少はなく、また、電流利得遮断周波数(f_T)の急激な低下も 10^5 A/cm²程度の電流密度領域ではみられず、コレクタ内の平均電子速度は極めて大きくなる。なお、第1のベース用半導体層としてGaInAsSbを用いることにより、コレクタ層の材料組成に合わせて ΔE_c を設計でき、素子の高速性能を大きく向上させることができる。

【0046】また、この層構造は、共鳴トンネル構造を有するバイポーラトランジスタやホットエレクトロントランジスタ等にも適用可能であり、それらの性能や機能向上にも効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す断面略図である。

【図2】本発明の第1の実施例におけるエネルギーバンド図である。

【図3】本発明の第2の実施例を示す断面略図である。

【図4】本発明の第2の実施例におけるエネルギーバンド図である。

【図5】本発明の第3の実施例を示す断面略図である。

【図6】本発明の第3の実施例におけるエネルギーバンド図である。

【図7】本発明の第4の実施例を示す断面略図である。

【図8】本発明の第4の実施例におけるエネルギーバンド図である。

【図9】従来のベース・コレクタ間に組成変化層を有するダブルヘテロ構造トランジスタのエネルギーバンド図である。

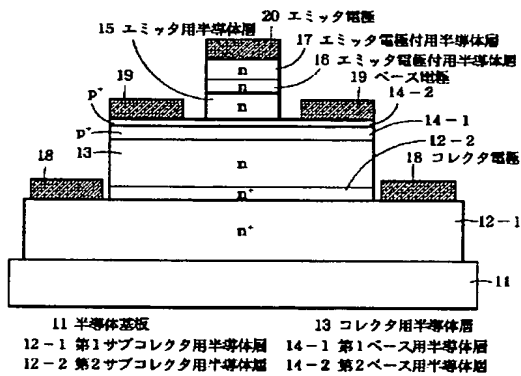
【図10】従来のベース・コレクタ間にスペーサ層を有するダブルヘテロ構造トランジスタのエネルギーバンド図である。

【符号の説明】

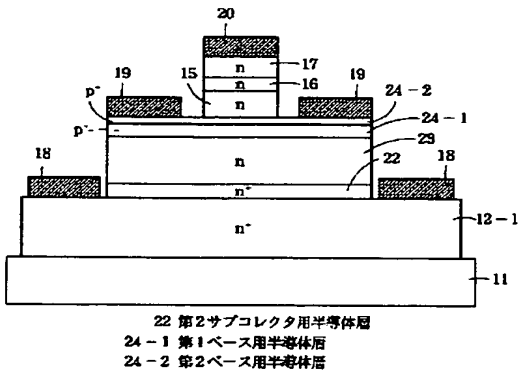
- 11 半導体基板
- 12-1 第1サブコレクタ用半導体層
- 12-2 第2サブコレクタ用半導体層
- 13 コレクタ用半導体層
- 14-1 第1ベース用半導体層
- 14-2 第2ベース用半導体層
- 15 エミッタ用半導体層

- 11
16 エミッタ電極付用半導体層
17 エミッタ電極付用半導体層
18 コレクタ電極
19 ベース電極
20 エミッタ電極
22 第2サブコレクタ用半導体層
23 コレクタ用半導体層
24-1 第1ベース用半導体層
24-2 第2ベース用半導体層

【図1】



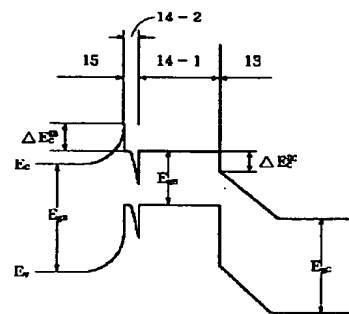
【図3】



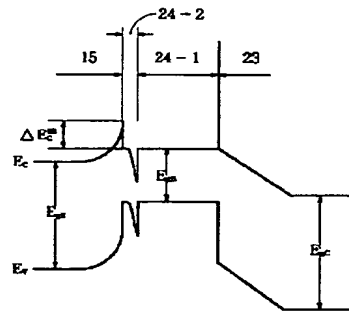
12

- 32 第1サブコレクタ用半導体層
33 コレクタ用半導体層
34-1 第1ベース用半導体層
34-2 第2ベース用半導体層
35 エミッタ用半導体層
36 エミッタ電極付用半導体層
45 エミッタ用半導体層
46 エミッタ電極付用半導体層

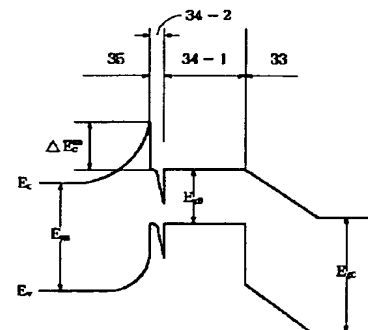
【図2】



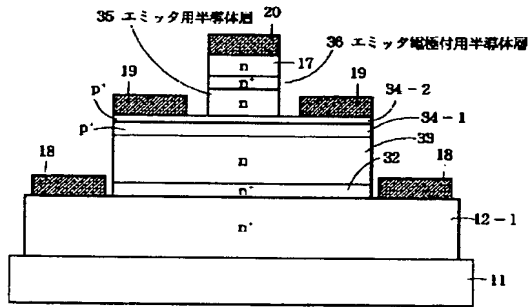
【図4】



【図6】

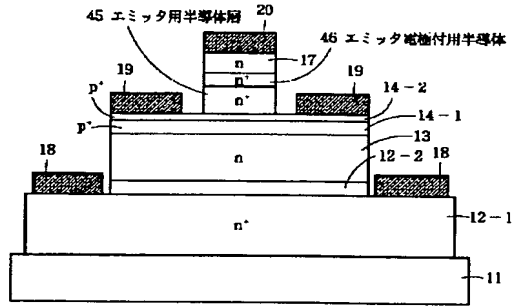


【図5】



32 第2サブコレクタ用半導体層
34-1 第1ベース用半導体層
34-2 第2ベース用半導体層

【図7】



【図10】

